

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



Requested Patent: JP4151825A  
Title: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF ;  
Abstracted Patent: JP4151825 ;  
Publication Date: 1992-05-25 ;  
Inventor(s): TAKAGI MITSU HARU ;  
Applicant(s): SONY CORP ;  
Application Number: JP19900277057 19901015 ;  
Priority Number(s): ;  
IPC Classification: H01L21/28; H01L21/265; H01L21/90 ;  
Equivalents: ;

**ABSTRACT:**

**PURPOSE:** To make it possible to obtain a semiconductor device, which is superior in an increase in integration, by a method wherein a contact hole is formed in an interlayer film and a high-resistance resistor is formed on the inner wall part including at least the bottom of this contact hole.

**CONSTITUTION:** An interlayer film 5 is formed on a first wiring (or a first element) 3 on a substrate 2, a contact hole is formed in the film 5 and a high-resistance resistor 7 is provided on the inner wall part including at least the bottom of the hole. This resistor 7 is formed on an oxygen ion-implanted titanium oxynitride thin film, a silicon oxide thin film, a polycrystalline silicon thin film or the like, for example. Moreover, a second wiring (or a second element) 8 which is connected to the resistor 7 is formed on the film 5. Thereby, the formation area of the resistor 7 is significantly reduced and an increase in the integration of a high-resistance SRAM becomes possible.

## ⑫ 公開特許公報(A) 平4-151825

⑤ Int. Cl.<sup>5</sup>H 01 L 21/28  
21/265  
21/90

識別記号

3 0 1 R

庁内整理番号

7738-4M

⑬ 公開 平成4年(1992)5月25日

B

7353-4M

7738-4M

H 01 L 21/265

Z

審査請求 未請求 請求項の数 2 (全10頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平2-277057

⑰ 出 願 平2(1990)10月15日

⑱ 発 明 者 高 儀 光 治 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 船橋 国則

## 明 細 書

## 1. 発明の名称

半導体装置およびその製造方法

## 2. 特許請求の範囲

(1) 基板に設けた配線間、素子と配線との間または素子間に形成した層間膜と、

前記層間膜に設けたコンタクトホールと、

前記コンタクトホールの少なくとも底部を含む内壁部に形成した高抵抗体とによりなることを特徴とする半導体装置。

(2) 基板に形成された素子または配線上に層間膜を被覆してコンタクトホールを形成し、前記コンタクトホールの少なくとも底部を含む内壁部にチタニウム系金属膜を形成する工程と、

前記コンタクトホールの内壁部のチタニウム系金属膜に不純物をイオン注入して高抵抗体を形成する工程とによりなることを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## &lt;産業上の利用分野&gt;

本発明は、コンタクトホールの少なくとも底部を含む内壁部に高抵抗体を設けた半導体装置およびその製造方法に関するものである。

## &lt;発明の概要&gt;

本発明は、高抵抗体を搭載した半導体装置において、コンタクトホールの少なくとも底部を含む内壁部に高抵抗体を形成したことにより、素子の高集積化が図れる。その製造方法は、チタニウム系金属膜に不純物をイオン注入して高抵抗体を形成したことにより、TATがあまり長くならずに高抵抗体を搭載できる。以上によって、例えばゲートアレイまたはマスクROM等に高抵抗型SRAM、プルアップ抵抗またはプルダウン抵抗等の搭載を可能にした。

## &lt;従来の技術&gt;

半導体装置に搭載される従来の抵抗体は、n形

またはp形不純物を導入した拡散層またはポリシリコン (poly-Si) 膜等により形成していた。

上記のような拡散層またはポリシリコン膜を用いて高抵抗体を形成する場合には、これらの材料で断面積が小さく長さが長い拡散層抵抗または配線抵抗を形成していた。

#### <発明が解決しようとする課題>

しかしながら、上記構成の拡散層抵抗または配線抵抗で形成した高抵抗体は、その形成面積が非常に大きくなるために、MOSトランジスタ等の素子の高集積化に不利である。

また、同様に上記のような高抵抗体と他の素子とを接続するには、金属等による低抵抗配線を形成する面積も必要になるので、高集積化を図るのに不利である。

さらに、ゲートアレイ等に高抵抗体を形成する場合には、配線工程で高抵抗体を形成すると面積が大きくなる欠点があり、一方マスタースライス

工程で形成すると、いわゆるTAT (Turn Around Time) が長くなる。

本発明は、上記課題を解決するために成されたもので、高集積化に優れた半導体装置およびその製造方法を提供することを目的とする。

#### <課題を解決するための手段>

本発明は、上記目的を達成するために成されたものである。

すなわち、半導体装置は、基板上に形成した配線間、素子と配線との間または素子間に設けられた層間膜にコンタクトホールを形成し、このコンタクトホールの少なくとも底部を含む内壁部に高抵抗体を形成したものである。

その製造方法としては、基板に形成した素子または配線上に層間膜を被覆し、この層間膜にコンタクトホールを設ける。次いでコンタクトホールの少なくとも底部を含む内壁部にチタニウム系金属膜を形成する。その後コンタクトホールの内壁部に形成したチタニウム系金属膜に不純物をイオ

3

ン注入して高抵抗体を形成する。

#### <作用>

上記構成の半導体装置は、コンタクトホールの少なくとも底部を含む内壁部に高抵抗体を形成したことにより、高抵抗体の形成面積を大幅に縮小する。

その製造方法では、コンタクトホールの内壁部のチタニウム系金属膜に不純物を注入するイオン注入工程を行うだけで高抵抗体を形成することにより、TATが従来に比べあまり長くない。

#### <実施例>

本発明の基本的構成例を第1図により説明する。

図に示す如く、基板2上に第1配線(または第1素子)3上に層間膜5を形成し、この層間膜5にコンタクトホール6を形成する。このコンタクトホール6の少なくとも底部を含む内壁部に高抵抗体7を設ける。この高抵抗体7は、例えば酸素をイオン注入したチタンオキシナイトライド(T

4

ION)の薄膜、酸化シリコンの薄膜または多結晶シリコンの薄膜等で形成する。さらに高抵抗体7に接続する第2配線(または第2素子)8を層間膜5上に形成する。

以上の如くして、半導体装置1を構成する。

次に、前記高抵抗体7の基本的形成例を第2図①ないし同③により説明する。

第2図①に示す如く、基板2上に配設した第1配線(または第1素子)3に、例えばチタニウム系金属膜4を被覆する。次いでチタニウム系金属膜4上に層間膜5を形成し、この層間膜5にコンタクトホール6を設ける。

続いて第2図②に示すように、層間膜5をマスクにして、コンタクトホール6の内部に露出させたチタニウム系金属膜4に不純物として酸素を選択的にイオン注入する。

そして第2図③に示す如く、酸素をイオン注入したチタニウム系金属膜4は、酸素(O)を過剰に含むチタニウム系金属の高抵抗体7になる。次いで、この高抵抗体7にコンタクトホール6を介

して第2配線（または第2素子）8を接続する。

以上のようにして、半導体装置1を形成する。

次に、配線と配線との間に高抵抗体を形成した第1実施例を第3図に示す概略構造断面図により説明する。

Pchブルダウン抵抗を本発明で形成した例を示す。

図に示す如く、n形シリコン基板11上にpチャネルMOSトランジスタ12を設ける。その上にpチャネルMOSトランジスタ12を覆う第1層間膜13を介して第1配線18を設ける。この第1配線18はシリコン(Si)を含有したアルミニウム(Al)より成る。さらに前記第1配線18側の全面には反射防止膜として用いるチタニウム系金属膜のTiON膜16を形成する。このTiON膜16上には第2層間膜19を設け、この第2層間膜19に高抵抗体を形成しないコンタクトホール21と高抵抗体を形成するためのコンタクトホール22とを設ける。

上記構造の形成には従来の製造方法を用いる。

次いで前記高抵抗体を形成するためのコンタクトホール22の底部の第1配線18上に高抵抗体25を形成する。この高抵抗体25は、例えば不純物として酸素をイオン注入したTiON膜16より成る。引き続き高抵抗体を形成しないコンタクトホール21と高抵抗体を形成するためのコンタクトホール22とのそれぞれに第2配線28を設ける。以上によって、本発明の半導体装置10が形成される。

次に、上記半導体装置10に形成される高抵抗体20の製造工程を第4図④および同⑤と前記第3図とにより説明する。

第4図④に示すように、従来の製造方法によって、n形シリコン基板11上にpチャネルMOSトランジスタ12を設ける。その後化学気相成長(CVD)装置を用いて、n形シリコン基板11上にpチャネルMOSトランジスタ12を覆う第1層間膜13を形成する。次いで第1層間膜13上にレジストを塗布してレジスト膜（図示せず）を形成する。続いてレジスト膜を感光、現像処理

して、このレジスト膜でエッチングマスクを形成し、第1層間膜13をエッチングする。そして、pチャネルMOSトランジスタ12のソース拡散層領域12a上、ドレイン拡散層領域12b上のそれぞれの第1層間膜13にコンタクトホール14a、14bを設ける。

その後第4図⑤に示す如く、スパッタ装置を用いて第1層間膜13側の全面に第1配線層15を形成する。この第1配線層15は、例えばシリコン(Si)を含有したアルミニウム(Al)より成る。

続いて、スパッタ装置を用いて第1配線層15側の全面にチタンオキシナイトライド(TiON)膜16を形成する。このTiON膜16は、後述する第1配線上にパターンを形成する時にレーションを防止する反射防止膜になる。

次に第4図⑥に示すように、TiON膜16上にレジストを塗布してレジスト膜（図示せず）を形成し、続いてこのレジスト膜に感光、現像処理を行ってエッチングマスク17を形成する。そし

てエッチングを行って、TiON膜16の一部分16a（2点鎖線部分）と第1配線層15（第3図②参照）の一部分15a（2点鎖線部分）とを除去する。そして、上面にTiON膜16を設けた第1配線18を形成する。

その後エッチングマスク17を、例えば剥離液中に浸漬して除去する。

次いで第4図④に示す如く、CVD装置を用いてTiON膜16側の全面を覆う第2層間膜19を形成する。

次に第4図⑤に示すように、第2層間膜19上にレジストを塗布してレジスト膜（図示せず）を形成し、続いてレジスト膜に感光、現像処理を行ってエッチングマスク20を形成する。

その後エッチングマスク20より露出した第2層間膜19をエッチングにより除去する。さらにエッチングマスク20を、例えば剥離液中に浸漬して除去する。

このようにして第4図⑥に示す如く、第2層間膜19に高抵抗体を形成しないコンタクトホール

21と高抵抗体を形成するためのコンタクトホール22とを設ける。

その後第4図⑧に示すように、第2層間膜19側の全面にレジストを塗布してレジスト膜(図示せず)を形成する。続いて前記レジスト膜に感光、現像処理を行って、高抵抗体を形成しないコンタクトホール21上に開口23を設けたエッチングマスク24を形成する。次いでエッチングにより、高抵抗体を形成しないコンタクトホール21の底部に露出させたTiON膜16a(2点鎖線部分)を選択的に除去する。

さらにエッチングマスク24を、例えば剥離液中に浸漬して除去する。

次に第4図⑧に示す如く、イオン注入装置を用い、第2層間膜19をマスクにして、高抵抗体を形成するためのコンタクトホール22の底部に露出させたTiON膜16に不純物として例えば酸素をイオン注入する。なお、TiON膜16中の酸素(O)と窒素(N)との成分比率をコントロールするために酸素とともに窒素をイオン注入

してもよい。

以上の如くして、酸素含有量が高められたTiON膜16は、数十MΩの抵抗値を有する高抵抗体25(第3図参照)になる。また高抵抗体25の抵抗値は、イオン注入する酸素量を調節することによりTiON膜16中の酸素含有量を制御して決定する。

一方、高抵抗体を形成しないコンタクトホール21の底部に露出させた第1配線18にも酸素がイオン注入されるが、この場合には酸素をイオン注入した第1配線18の部分は高抵抗化することではなく、しかもその部分はくさび型消失の発生が防止されるというメリットがある。

そして第4図⑨に示すように、スパッタ装置を用いて、高抵抗体25上を含む前記第2層間膜19側の全面にSiを含むAl膜よりなる第2配線層26を形成する。

その後第3図⑩に示す如く、第2配線層26(第3図⑨参照)上にレジストを塗布してレジスト膜(図示せず)を形成する。続いてレジスト膜

11

に感光、現像処理を行って、エッチングマスク27を形成する。

その後、エッチングマスク27より第2配線層26の露出した部分(2点鎖線部分)をエッチングにより除去する。

次いで、エッチングマスク27を、例えば剥離液中に浸漬して除去する。

そして前記第3図に示したように、第2配線層26で、高抵抗体を形成しないコンタクトホール21と高抵抗体を形成するためのコンタクトホール22とのそれぞれに第2配線28を形成する。この第2配線28は、高抵抗体を形成しないコンタクトホール21側を出力配線として用い、高抵抗体を形成するためのコンタクトホール22側をグランド配線として用いる。以上によって、半導体装置10は完成する。

次に、素子(例えばpチャネルMOSトランジスタ)と配線との間に高抵抗体を形成した第2実施例を第5図に示す概略構造断面図により説明する。

12

図に示す如く、n形シリコン基板31にpチャネルMOSトランジスタ51を設けて、次いでpチャネルMOSトランジスタ51を覆う層間膜32を形成する。続いてpチャネルMOSトランジスタ51のソース拡散層領域52上の層間膜32にソースコンタクトホール33を形成し、ドレイン拡散層領域53上の層間膜32にドレインコンタクトホール34を形成する。

上記構造の形成には従来の製造方法を用いる。

次いでドレインコンタクトホール34の内壁部に高抵抗体36を形成する。この高抵抗体36は、例えば不純物として酸素をイオン注入したチタニウム(Ti)膜35より成る。引き続き高抵抗体36に接続する配線40を設ける。以上によって、本発明の半導体装置30が形成される。

次に、上記第2実施例の半導体装置30に形成した高抵抗体36の製造工程を第6図①ないし同⑤と前記第5図とにより説明する。

第6図①に示すように、n形シリコン基板31上に従来の製造方法でpチャネルMOSトランジ

スタ 51 を設ける。次いで CVD 装置を用いて、  
p チャンネル MOS トランジスタ 51 側の全面に層  
間膜 32 を形成する。そしてホトリソグラフィ  
技術とエッチング技術とにより、p チャンネル MOS  
トランジスタ 51 のソース拡散層領域 52 上の  
層間膜 32 にソースコンタクトホール 33 を形成  
し、ドレイン拡散層領域 53 上の層間膜 32 にド  
レインコンタクトホール 34 を形成する。

次に、第 6 図②に示す如く、スパッタ装置を用  
いて、各ソース、ドレインコンタクトホール 33、  
34 の内部を含む層間膜 32 上に、バリアメタル  
のチタニウム (Ti) 膜 35 を被覆する。

その後第 6 図③に示すように、Ti 膜 35 上に  
レジストを塗布してレジスト膜 37 を形成し、そ  
の後感光、現像処理により、ドレインコンタクト  
ホール 34 上のレジスト膜 37 を除去する。そし  
て、レジスト膜 37 をマスクにし、イオン注入装  
置を用いて、レジスト膜 37 を除去して露出させ  
た Ti 膜 35 に不純物として例えば酸素をイオン  
注入する。この結果、酸素が注入された Ti 膜 3

5 は酸素 (O) 含有量が高い状態になり、この Ti  
膜 35 は数十 MΩ の抵抗を有する高抵抗体 36  
(第 4 図参照) になる。また、この高抵抗体 36  
の抵抗値は、イオン注入される酸素量を調節する  
ことによって Ti 膜 35 中の酸素含有量を制御し  
て決定する。

次に、レジスト膜 37 を例えば剥離液中に浸漬  
して除去する。

その後第 6 図④に示すように、スパッタ装置を  
用いて、Ti 膜 35 表面の酸化物を除去するため  
の逆スパッタを行い、続けて、高抵抗体 36 上を  
含む Ti 膜 35 上に Si を含有した Al 膜よりなる  
配線層 38 をスパッタにより形成する。

そして第 6 図⑤に示す如く、配線層 38 上にレ  
ジストを塗布してレジスト膜 (図示せず) を形成  
する。続いてレジスト膜を感光、現像処理して、  
エッチングマスク 39 を形成する。

次いで第 6 図⑥に示すように、エッチング、例  
えば反応性イオンエッチングにより、前記配線層  
38 の一部分 (2 点鎖線部分) と前記 Ti 膜 35

15

の一部分 (2 点鎖線部分) とを除去して、ソース  
コンタクトホール 33 とドレインコンタクトホー  
ル 34 とのそれぞれに配線 40 を形成する。

そして、エッチングマスク 39 を、例えば剥離  
液中に浸漬して除去する。

以上によって、前記第 5 図に示す半導体装置 3  
0 は完成する。

また、MOS トランジスタやキャパシタ等の素  
子間に高抵抗体を形成する場合には、前記第 2 実  
施例と同様にして、素子 (例えば MOS トランジ  
スタのドレイン拡散層領域上) にコンタクトホー  
ルを形成し、そのコンタクトホールの少なくとも  
底部を含む内壁部に高抵抗体を形成する。そして  
高抵抗配線などの高抵抗体の代わりに高抵抗体に  
接続する素子、例えばキャパシタ等に接続すれば  
よい。

以上説明したようなコンタクトホールの少なく  
とも底部を含む内壁部に形成した高抵抗体を、例  
えば高抵抗型 S R A M の負荷抵抗に用いた場合に  
は、負荷抵抗の抵抗値を非常に大きく形成するこ

16

とができるので、流れる電流は極めて小さくなる。  
さらに、コンタクトホールの少なくとも底部を含  
む内壁部に高抵抗体を形成したので、高抵抗体の  
形成面積が大幅に縮小される。このため、高抵抗  
型 S R A M の高集積化、低消費電力化および高運  
動作化が可能になる。

#### < 発明の効果 >

以上、説明したように本発明の半導体装置によ  
れば、コンタクトホールの少なくとも底部を含む  
内壁部に高抵抗体を形成したことにより、高抵抗  
体の形成面積が大幅に縮小される。この結果、素  
子の高集積化が図れる。

また、本発明の製造方法によれば、チタニウム  
系金属膜に不純物をイオン注入して高抵抗体を形  
成したことにより、配線工程のコンタクトホール  
形成後に高抵抗体を形成することができるので、  
T A T が従来よりあまり長くない。さらに、  
ゲートアレイまたはマスク R O M 等に高抵抗型 S  
R A M、プルアップ抵抗またはプルダウン抵抗等

の搭載が可能になる。

#### 4. 図面の簡単な説明

第1図は、本発明の基本的構成例の説明図、  
第2図は、本発明の基本的形成例の説明図、  
第3図は、第1実施例の概略構造断面図、  
第4図①および同②は、第1実施例の製造工程図、  
第5図は、第2実施例の概略構造断面図、  
第6図①ないし同⑥は、第2実施例の製造工程図である。

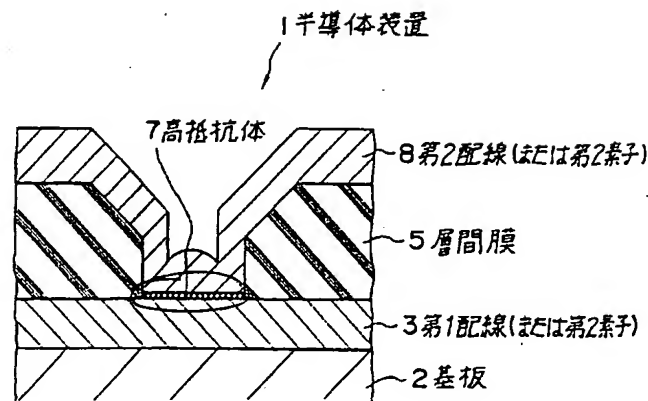
19…第2層間膜、  
22…高低抗体を形成するためのコンタクトホール、  
28…第2配線、  
34…ドレインコンタクトホール、  
35…Ti膜、40…配線。

特許出願人 ソニー株式会社  
代理人 弁理士 船橋 國 則

1, 10, 30…半導体装置、  
2…基板、3…第1配線（または第1素子）、  
4…チタニウム系金属膜、5, 32…層間膜、  
6…コンタクトホール、  
7, 24, 36…高低抗体、  
8…第2配線（または第2素子）、  
11, 31…n型シリコン基板、  
16…TiON膜、18…第1配線。

19

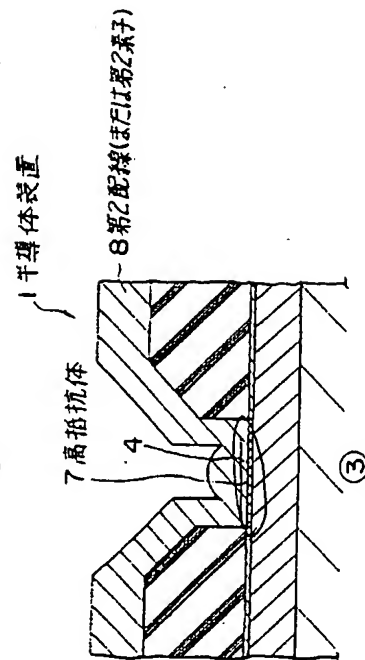
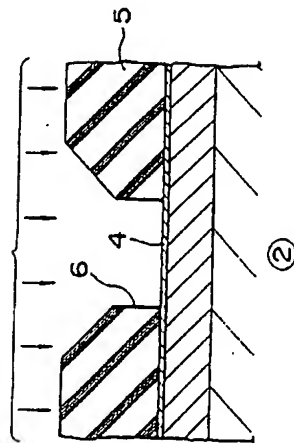
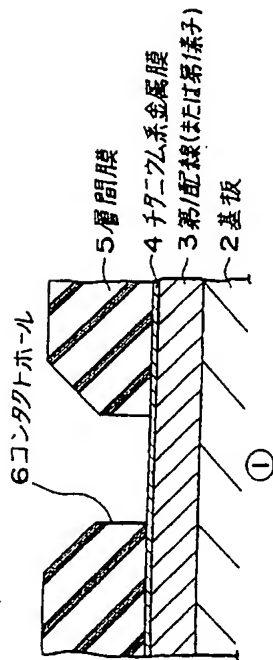
20



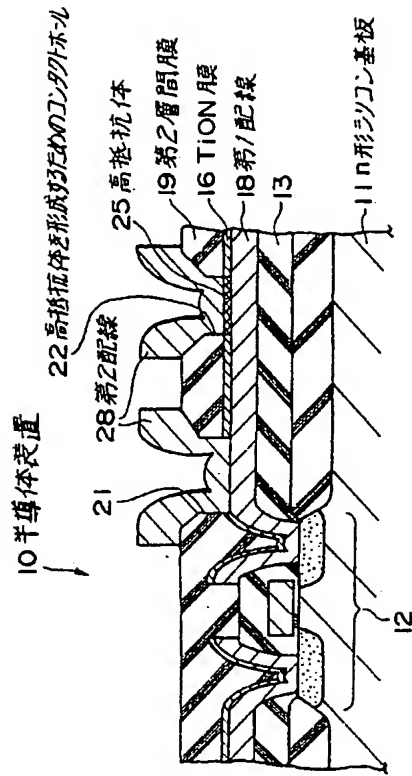
本発明の基本的構成例の説明図

第1図

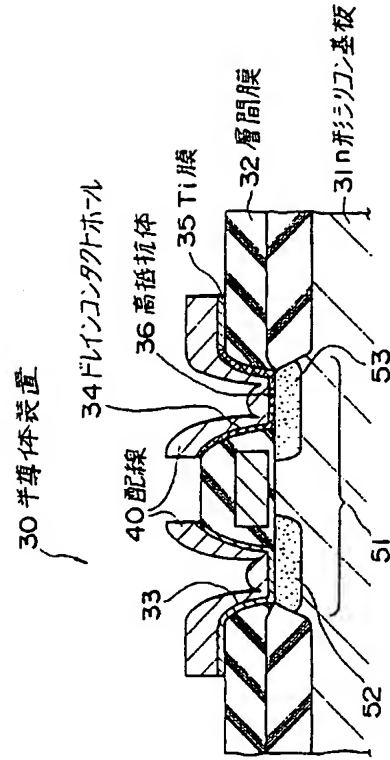




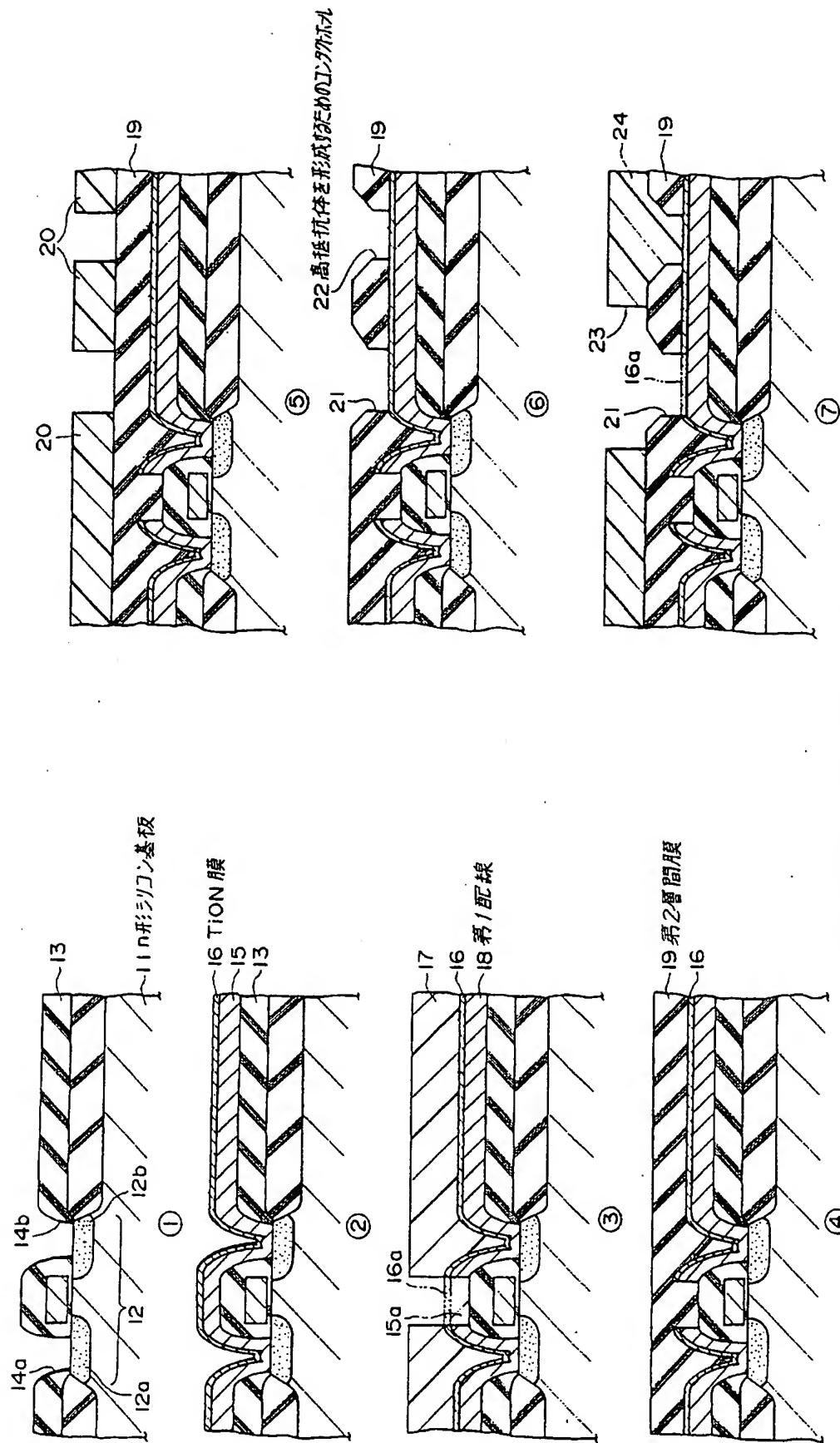
本発明の基本的形成例の説明図  
第2図



第1実施例の概略構造断面図  
第3図

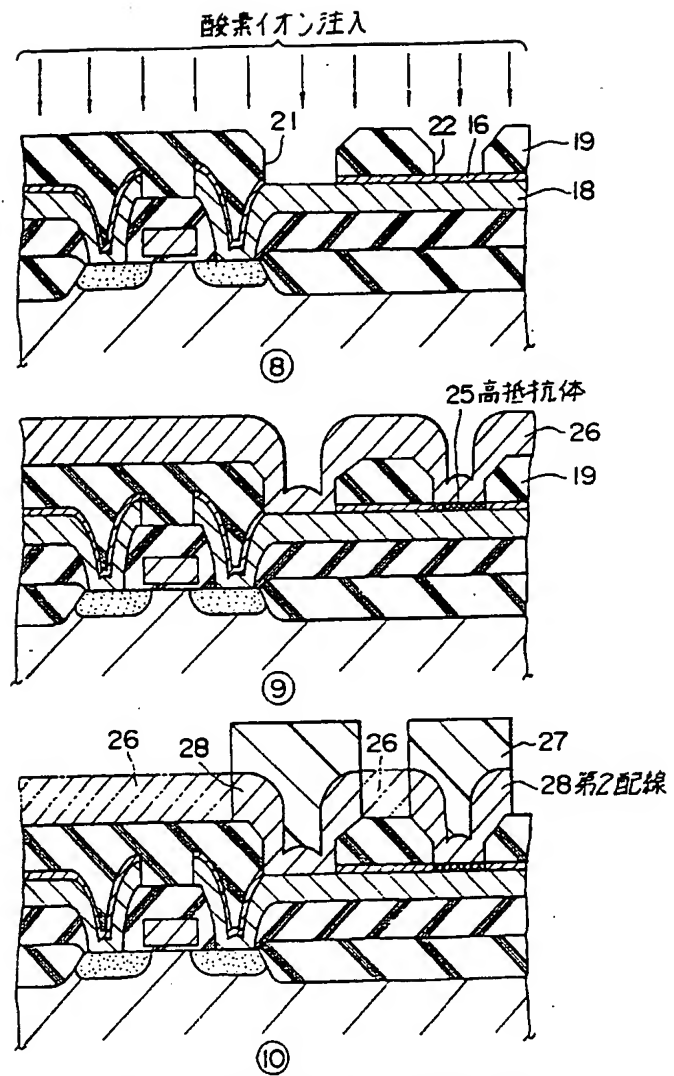


第2実施例の概略構造断面図  
第5図



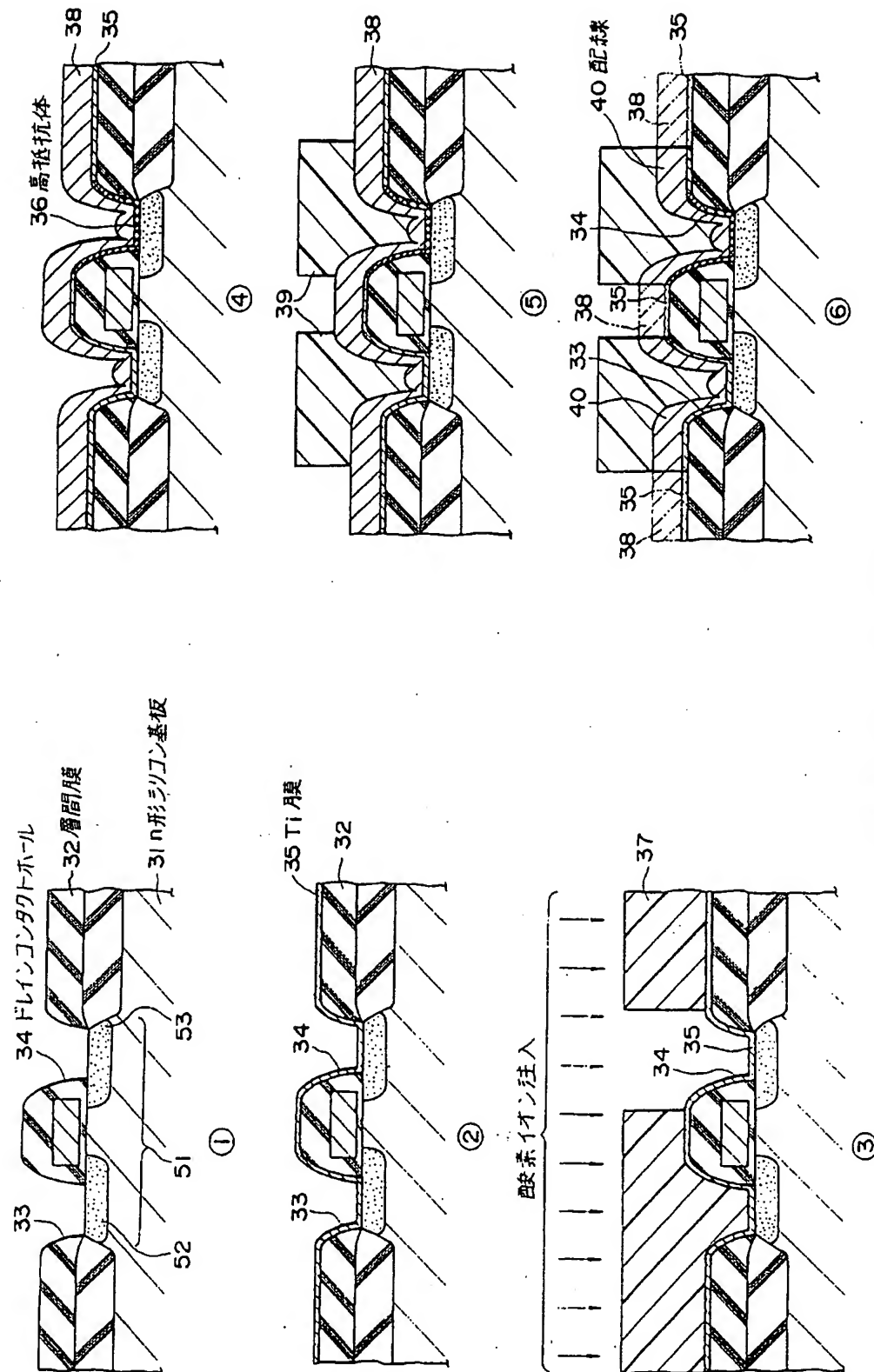
第1実施例の製造工程図①~⑦

第4図



第1実施例の製造工程図⑧~⑩

第4図



第2実施例の製造工程図  
第6図